

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08264712 A**

(43) Date of publication of application: 11 . 10 . 96

(51) Int. Cl

H01L 25/065**H01L 25/07****H01L 25/18**(21) Application number: **07091907**(71) Applicant: **MATSUSHITA ELECTRON CORP**

(22) Date of filing: 27 . 03 . 95

(72) Inventor: **KAI HAJIME**(54) **SEMICONDUCTOR DEVICE**

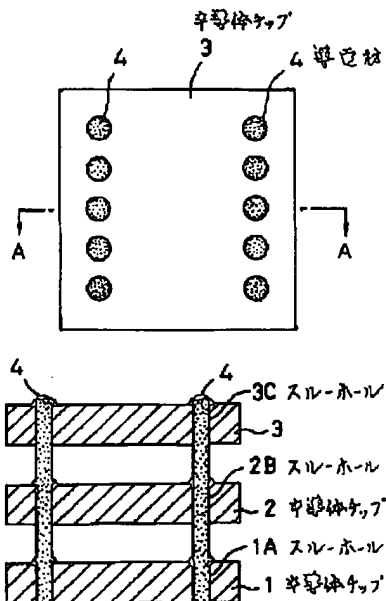
reduction of the cost is obtained.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

PURPOSE: To obtain a multilayer structure constructed of an increased number of layers and to realize an integrated circuit having high packaging efficiency by a method wherein a plurality of semiconductor chips each having a plurality of through holes are stacked with a prescribed gap between them and these chips are connected electrically by a conductive material through the through holes in a plurality.

CONSTITUTION: Semiconductor chips 1, 2 and 3 are stacked one by one with a prescribed gap between them and connected electrically by a conductive material 4 through through holes 1A, 2B and 3C provided in each chip. By providing the through holes 1A, 2B and 3C in a plurality in each of the semiconductor chips 1, 2 and 3 in a plurality and by connecting them electrically by the conductive material 4 through the through holes 1A, 2B and 3C thereof, in other words, a multilayer semiconductor device can be constructed of many layers stacked. The semiconductor device having packaging efficiency about ten times higher than the ones of usual examples can be manufactured and also a large effect to



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-264712

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/065			H 0 1 L 25/08	Z
25/07				
25/18				

審査請求 未請求 請求項の数 1 F D (全 3 頁)

(21) 出願番号 特願平7-91907

(22) 出願日 平成7年(1995)3月27日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 甲斐 肇

大阪府高槻市幸町1番1号 松下電子工業株式会社内

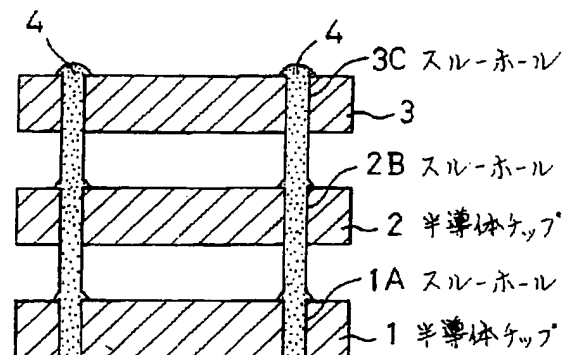
(74) 代理人 弁理士 松村 博

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 半導体チップを多層化することにより、実装効率の高い集積回路を実現する。

【構成】 複数の半導体チップ1, 2, 3を高さ方向に所定間隔をもって積み重ね、各半導体チップに設けられたスルーホール1A, 2B, 3Cを通して、導電材4により電氣的に接続する。



【特許請求の範囲】

【請求項1】 複数のスルーホールを有する複数の半導体チップを、前記スルーホールを通した導電材により、高さ方向に所定の間隔をもって積層し、前記半導体チップを電気的に接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、実装密度の高い集積回路を搭載することのできる半導体装置に関するものである。

【0002】

【従来の技術】近年、半導体集積回路のゲート規模は増大の一途をたどっており、それに従って半導体チップの面積も拡大している。この問題に対して産業界では、パッケージの多層化等の技術をもって実装密度の高い半導体集積回路の開発を行なってきた。その中でも、半導体集積回路をバンパを用いてプリント基板に表面実装をする技術が産業界で行なわれるようになった。

【0003】図3は従来の半導体装置の構成を示す平面図、図4は図3のB-B断面図である。図3および図4において、5はバンパ、6は上段の半導体チップ、7は下段の半導体チップ、8は上段の半導体チップ6のAパッド、9は下段の半導体チップ7のBパッド、10はワイヤーボンディングパッドである。

【0004】上記半導体装置の作成は、下段の半導体チップ7上に形成された、Aパッド8に金属からなる複数のバンパ5を設ける。そして、周辺のワイヤーボンディングパッド10が形成された下段の半導体チップ7上にAパッド8に対応したBパッド9を形成し、該Bパッド9と下段の半導体チップ7をバンパ5を介して熱圧着したものである。この構成により、上段、下段の半導体チップ6、7は、上下の複合化を行ない、実装効率の向上を図っている。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、バンパによる積層手段となっているため半導体チップを2層以上の多層化は困難であり、これ以上の実装効率の向上を図ることはできないという欠点を有していた。

【0006】本発明は、上記従来の問題点を解決するもので、より多数の多層化を行い、集積度の高い半導体装置の提供を目的とするものである。

【0007】

【課題を解決するための手段】本発明は上記目的を達成するために、複数のスルーホールを有する複数の半導体

チップを、前記スルーホールを通した導電材により高さ方向に所定間隔をもって積層し、前記半導体チップを電気的に接続したことを特徴とする。

【0008】

【作用】本発明によれば、スルーホールを通して導電材により複数の半導体チップの高さ方向への多層化が可能であり、より実装効率の高い半導体装置を得ることができ。

【0009】

10 【実施例】図1は本発明の一実施例における半導体装置の構成を示す平面図、図2は図1のA-A断面図である。図1および図2において、1〜3は半導体チップ、1A2B、3Cは各半導体チップ1、2、3のスルーホール、4は前記スルーホールに通した導電材である。

【0010】本発明の半導体装置は、各半導体チップ1、2、3を高さ方向に所定間隔をもって次々と積み重ねるとき各半導体チップに設けられたスルーホール1A、2B、3Cを通して、導電材4により各半導体チップが電気的に接続された構成である。

20 【0011】このように本実施例によれば、半導体チップを所定間隔をもって高さ方向に積み重ね、そして、それぞれにスルーホールを設け、そのスルーホールを通して、導電材により電気的に接続することにより、何層にも多層化を行なうことが可能である。

【0012】なお本実施例では、一例として半導体チップは3枚で構成されているが、さらに枚数を増加させてもよい。

【0013】

【発明の効果】以上説明したように本発明の半導体装置は、複数の半導体チップを高さ方向に所定間隔をもって積み重ね、これらを電気的に導電材で接続することにより、従来例の10倍程度の実装効率の高い半導体装置を作ることができ、コストの削減にも大きな効果をもたらす。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体装置の構成を示す平面図である。

【図2】図1のA-A断面図である。

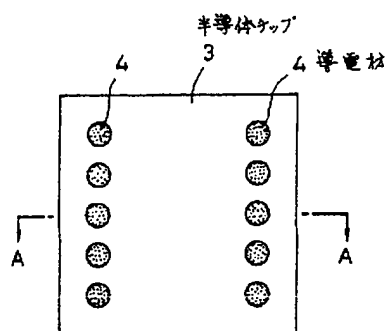
【図3】従来例における半導体装置の構成を示す平面図である。

【図4】図3のB-B断面図である。

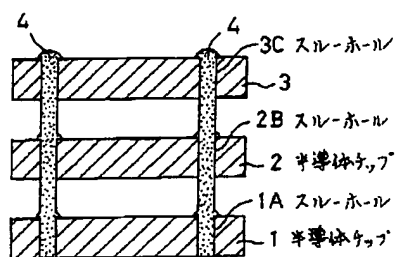
【符号の説明】

1、2、3…半導体チップ、 1A、2B、3C…スルーホール、 4…導電材。

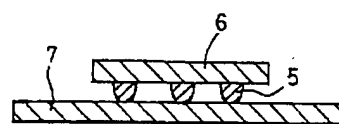
【図1】



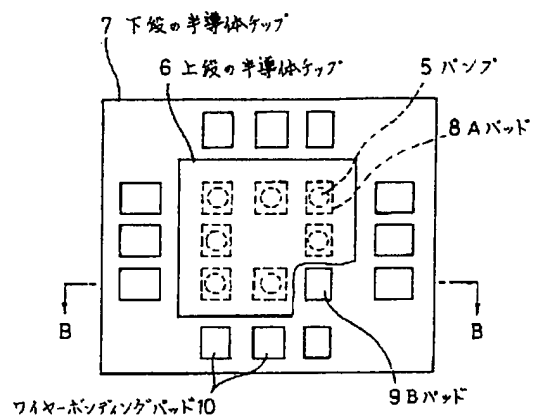
【図2】



【図4】



【図3】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-264712

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/065			H 0 1 L 25/08	Z
25/07				
25/18				

審査請求 未請求 請求項の数 1 F D (全 3 頁)

(21) 出願番号 特願平7-91907

(22) 出願日 平成7年(1995)3月27日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 甲斐 肇

大阪府高槻市幸町1番1号 松下電子工業株式会社内

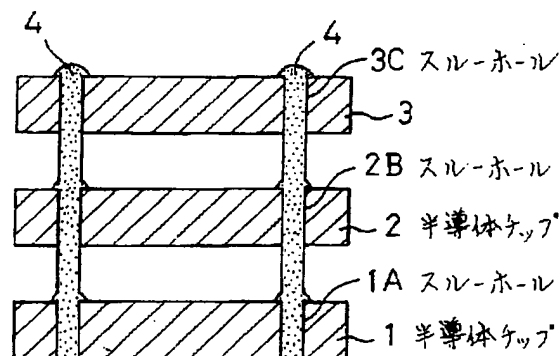
(74) 代理人 弁理士 松村 博

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 半導体チップを多層化することにより、実装効率の高い集積回路を実現する。

【構成】 複数の半導体チップ1, 2, 3を高さ方向に所定間隔をもって積み重ね、各半導体チップに設けられたスルーホール1A, 2B, 3Cを通して、導電材4により電気的に接続する。



【特許請求の範囲】

【請求項1】 複数のスルーホールを有する複数の半導体チップを、前記スルーホールを通した導電材により、高さ方向に所定の間隔をもって積層し、前記半導体チップを電気的に接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、実装密度の高い集積回路を搭載することのできる半導体装置に関するものである。

【0002】

【従来の技術】 近年、半導体集積回路のゲート規模は増大の一途をたどっており、それによって半導体チップの面積も拡大している。この問題に対して産業界では、パッケージの多層化等の技術をもって実装密度の高い半導体集積回路の開発を行ってきた。その中でも、半導体集積回路をバンパを用いてプリント基板に表面実装をする技術が産業界で行なわれるようになった。

【0003】 図3は従来の半導体装置の構成を示す平面図、図4は図3のB-B断面図である。図3および図4において、5はバンパ、6は上段の半導体チップ、7は下段の半導体チップ、8は上段の半導体チップ6のAパッド、9は下段の半導体チップ7のBパッド、10はワイヤーボンディングパッドである。

【0004】 上記半導体装置の作成は、下段の半導体チップ7上に形成された、Aパッド8に金属からなる複数のバンパ5を設ける。そして、周辺のワイヤーボンディングパッド10が形成された下段の半導体チップ7上にAパッド8に対応したBパッド9を形成し、該Bパッド9と下段の半導体チップ7をバンパ5を介して熱圧着したものである。この構成により、上段、下段の半導体チップ6、7は、上下の複合化を行ない、実装効率の向上を図っている。

【0005】

【発明が解決しようとする課題】 しかしながら、上記従来の構成では、バンパによる積層手段となっているため半導体チップを2層以上の多層化は困難であり、これ以上の実装効率の向上を図ることはできないという欠点を有していた。

【0006】 本発明は、上記従来の問題点を解決するもので、より多数の多層化を行い、集積度の高い半導体装置の提供を目的とするものである。

【0007】

【課題を解決するための手段】 本発明は上記目的を達成するために、複数のスルーホールを有する複数の半導体

チップを、前記スルーホールを通した導電材により高さ方向に所定間隔をもって積層し、前記半導体チップを電気的に接続したことを特徴とする。

【0008】

【作用】 本発明によれば、スルーホールを通して導電材により複数の半導体チップの高さ方向への多層化が可能であり、より実装効率の高い半導体装置を得ることができる。

【0009】

10 【実施例】 図1は本発明の一実施例における半導体装置の構成を示す平面図、図2は図1のA-A断面図である。図1および図2において、1～3は半導体チップ、1A2B、3Cは各半導体チップ1、2、3のスルーホール、4は前記スルーホールに通した導電材である。

【0010】 本発明の半導体装置は、各半導体チップ1、2、3を高さ方向に所定間隔をもって次々と積み重ねるとき各半導体チップに設けられたスルーホール1A、2B、3Cを通して、導電材4により各半導体チップが電気的に接続された構成である。

20 【0011】 このように本実施例によれば、半導体チップを所定間隔をもって高さ方向に積み重ね、そして、それぞれにスルーホールを設け、そのスルーホールを通して、導電材により電気的に接続することにより、何層にも多層化を行なうことが可能である。

【0012】 なお本実施例では、一例として半導体チップは3枚で構成されているが、さらに枚数を増加させてもよい。

【0013】

30 【発明の効果】 以上説明したように本発明の半導体装置は、複数の半導体チップを高さ方向に所定間隔をもって積み重ね、これらを電気的に導電材で接続することにより、従来例の10倍程度の実装効率の高い半導体装置を作ることができ、コストの削減にも大きな効果をもたらす。

【図面の簡単な説明】

【図1】 本発明の一実施例における半導体装置の構成を示す平面図である。

【図2】 図1のA-A断面図である。

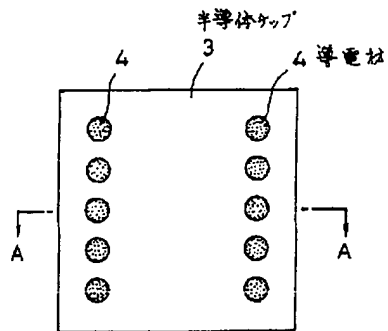
40 【図3】 従来例における半導体装置の構成を示す平面図である。

【図4】 図3のB-B断面図である。

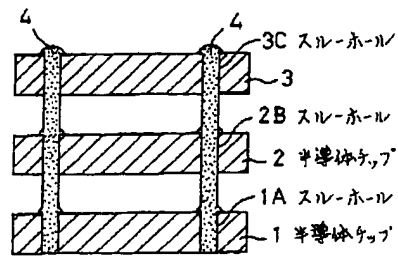
【符号の説明】

1、2、3…半導体チップ、 1A、2B、3C…スルーホール、 4…導電材。

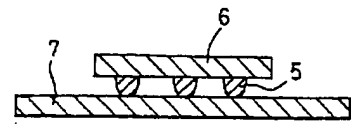
【図1】



【図2】



【図4】



【図3】

